

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321813

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 27/108  
21/8242

識別記号

F I

H 0 1 L 27/10

6 2 5 A

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願平10-135154

(22) 出願日 平成10年(1998)5月18日

(31) 優先権主張番号 8 5 9 8 5 1

(32) 優先日 1997年5月21日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 稗田 克彦

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 仁田山 晃寛

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

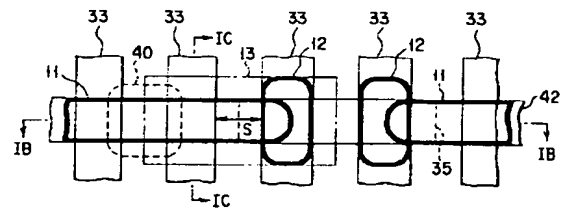
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置及びその製造方法

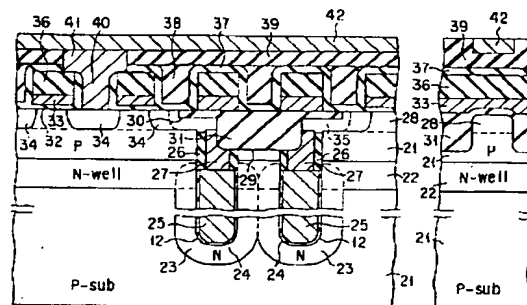
(57) 【要約】

【課題】 MOSトランジスタのソース/ドレイン拡散層とトレンチキャパシタの蓄積電極とを表面接続層を用いて接続する。

【解決手段】 S i 基板に形成されたトレンチ12と、このトレンチ12の内周面を覆うように形成されたキャパシタ絶縁膜24と、このキャパシタ絶縁膜24で覆われたトレンチを埋めるキャパシタの蓄積電極となる多結晶シリコン層25と、この多結晶シリコン層25の上部を含むS i 基板上に形成されたエピタキシャルS i 層28と、このエピタキシャルS i 層28内に形成されたMOSトランジスタのソース/ドレイン拡散層34と、このソース/ドレイン拡散層34と接するようにエピタキシャルS i 層28内に形成された表面接続層35とを具備している。



(a)



(b)

(c)

1

## 【特許請求の範囲】

【請求項 1】 半導体基板上に MOS トランジスタとキャパシタからなるメモリセルを複数個集積してなる半導体記憶装置において、  
 上記基板に形成された溝と、  
 上記溝の下部の内周面を覆うように形成された第 1 の絶縁膜と、  
 上記溝の上部の内周面を覆うように形成された第 2 の絶縁膜と、  
 上記溝内において上記第 1 の絶縁膜を埋めるように設けられ、上記キャパシタの蓄積電極として用いられる第 1 の導電体層と、  
 上記溝内の上記第 1 の導電体層上で上記第 2 の絶縁膜を埋めるように設けられた第 2 の導電体層と、  
 上記溝の下部を囲むように上記基板に形成された拡散領域と、  
 上記第 2 の導電体層を含む上記基板上に形成された半導体層と、  
 上記半導体層及びその下部に選択的に形成され、かつその上部には上記半導体層が存在しないように形成され、  
 上記半導体層を複数の領域に分離する素子分離層と、  
 上記半導体層を含む層内に形成された上記 MOS トランジスタのソース／ドレイン拡散層と、  
 上記ソース／ドレイン拡散層の 1 つと接するように上記半導体層内に形成され、上記ソース／ドレイン拡散層の 1 つと上記蓄積電極用導電体層とを電気的に接続する表面接続層とを具備したことを特徴とする半導体記憶装置。

【請求項 2】 前記半導体層の、前記第 1 の導電体層の上部に位置する部分の膜厚が実質的に均一にされていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記半導体層は、前記半導体基板上に位置する部分と、前記第 1 の導電体層の上部に位置する部分の膜厚が実質的に等しくされていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記半導体層は、前記半導体基板上に位置する部分がエピタキシャル Si 層であり、前記第 1 の導電体層の上部に位置する部分がアモルファス Si 層または多結晶 Si 層であることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 5】 半導体基板上に MOS トランジスタとキャパシタからなるメモリセルを複数個集積してなる半導体記憶装置の製造方法において、  
 第 1 導電型の半導体基板を用意する工程と、  
 選択エッチングにより上記基板にキャパシタ用の第 1 の溝を形成する工程と、  
 上記第 1 の溝の上部を除いた内周面から上記基板内に第 1 導電型とは反対導電型の第 2 導電型の不純物を拡散させてキャパシタの対向電極となる拡散層を形成する工程と、

2

上記第 1 の溝の下部の内周面を覆うように第 1 の絶縁膜を形成する工程と、

上記第 1 の絶縁膜で覆われた上記溝内下部を埋めるように、上記キャパシタの蓄積電極として用いられる第 1 の導電体層を形成する工程と、

上記溝の上部の内周面を覆うように第 2 の絶縁膜を形成する工程と、

上記第 2 の絶縁膜で覆われた上記溝内上部を埋めるように第 2 の導電体層を形成する工程と、

上記第 2 の導電体層を含む上記基板上に半導体層を形成する工程と、

上記第 2 の導電体層上に位置する上記半導体層に第 2 導電型の不純物を選択的に導入して表面接続層を形成する工程と、

底部が上記半導体基板に達するように上記半導体層に素子分離用の第 2 の溝を形成して、上記半導体層を複数の部分に分割する工程と、

上記第 2 の溝内を絶縁膜で埋めて、上記複数の部分に分割された半導体層を電気的に分離する工程と、

上記半導体層上にゲート絶縁膜を介して MOS トランジスタのゲート電極を形成する工程と、

上記ゲート電極をマスクに用いて上記半導体層に選択的に第 1 導電型の不純物を導入して MOS トランジスタのソース／ドレイン拡散層を形成すると同時にこのソース／ドレイン拡散層のいずれか一方を上記表面接続層と重なり合うように形成する工程とを具備したことを特徴とする半導体記憶装置の製造方法。

【請求項 6】 前記半導体層を形成する工程がエピタキシャル成長法により行われることを特徴とする請求項 5 に記載の半導体記憶装置の製造方法。

【請求項 7】 前記半導体層を形成する工程が、アモルファス Si 層を堆積する工程と、  
 熱処理により前記半導体基板上のアモルファス Si 層をエピタキシャル層に変化させる工程とを含んで行われることを特徴とする請求項 5 に記載の半導体記憶装置の製造方法。

【請求項 8】 前記半導体基板に、前記拡散層と電気的に接続する第 2 導電型の埋め込み半導体層を形成する工程をさらに具備したことを特徴とする請求項 5 に記載の半導体記憶装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、1 個の MOS トランジスタと 1 個のキャパシタによりメモリセルが構成されたダイナミック型の半導体記憶装置（DRAM）及びその製造方法に関する。

【0002】

【従来の技術】近年、DRAM の集積度は急速に進展している。DRAM のさらなる高集積化を図るために、メモリセル構造としてキャパシタをトランジスタの上に積

み上げた、いわゆるスタック型セルや、シリコン基板にトレンチ（溝）を掘ってその内壁をキャパシタとして用いる、いわゆるトレンチ型セルなどが各種提案されている。特に、トレンチ型セルは溝の深さを深くする程、蓄積容量（Cs）を大きくすることができるため、小さな面積でも大きな蓄積容量を実現できるメモリセル構造として注目されている。

【0003】さらに、トレンチ型セルには、トレンチ内キャパシタの一方の電極を選択用のMOSトランジスタのソース／ドレイン拡散層と電気的に接続する手段として、基板表面上に導電体層を設けて両者を接続するようにした表面ストラップ構造（surface strap scheme）と、キャパシタが形成されるトレンチ上部の側壁（サイドウォール）に導電体層（サイドウォール・コンタクト：side-wall contact）を形成して両者を接続するようにしたBS構造（buried strap scheme）とがある。256Mビット世代のDRAMでは、表面ストラップ構造に代わってBS構造のトレンチ型セルが採用されている。

【0004】

【発明が解決しようとする課題】しかしながら、BS構造のトレンチ型セルでは、トレンチ上部に沿ったサイドウォール・コンタクトの深さを制御することが容易ではなく、MOSトランジスタのゲート電極と深いトレンチ（deep trench：DT）との間の距離を縮めることが困難であるが故に次世代に向けてのセル面積の縮小化が困難であるという問題がある。

【0005】例えば、IEDM 1993、Technical Digest Paper, pp627-630 には、トレンチキャパシタの蓄積ノード電極とMOSトランジスタのソース／ドレイン拡散層とをBS（buried strap）を用いて接続するようにした典型的なトレンチ型セルが開示されている。このセル設計は0.25 $\mu$ mルール世代において非常に優れているが、サイドウォール拡散層が、トレンチ上部の側壁にSi表面から深さ0.6 $\mu$ m程度に形成されているので、MOSトランジスタのゲート電極と深いトレンチキャパシタとの間の距離を縮めることが困難である。すなわち、サイドウォール拡散層がMOSトランジスタのゲート電極に近づくと、サイドウォール拡散層がMOSトランジスタのソース／ドレイン拡散層そのものとなり、MOSトランジスタのソース拡散層とドレイン拡散層の形状が非対称になって、DT側の拡散層深さが深くなり、パンチスルーが起こるという問題がある。また、このような形状は、MOSトランジスタのゲート寸法をさらに縮小化（シュリンク）するのに好ましくない。

【0006】さらに、このようなBSは、その深さやサイドウォール領域における表面の清浄度を正確に制御する必要がある。安定したコンタクトを取るためには、サイドウォール領域のクリーニングを行う必要があると共に、サイドウォール領域をより深く形成する必要がある

が、そうすると、サイドウォールからの拡散層をカットするために深いSTI（Shallow Trench Isolation）を形成する必要がある。しかし、深いSTIを形成するためにはSTI領域をシリコン酸化膜によって高アスペクト比で埋める必要があり、製造が困難である。

【0007】そこで、SEG（Selective-Epitaxial Growth）技術を用いて、活性領域とトレンチキャパシタのストレージノード上にエピタキシャル層を形成し、このエピタキシャル層の一部をストラップ電極として用いるようにした技術が、1995.Symposium on VLSI Technology Digests Papers, pp137-138に開示されている。

【0008】しかしながら、この文献に記載されたものでは、素子分離層をエピタキシャル層の形成前に行っている。素子分離層をエピタキシャル層の形成前に形成すると、エピタキシャル層の形成の際に素子分離層上にポリシリコン層が成長する。この結果、MOSトランジスタのチャネル長方向の素子分離層とチャネル領域に沿って結晶性の悪いSi層（多結晶Si）がチャネルの一部になってしまい、MOSトランジスタのソース／ドレイン間のリーク電流が増大するという問題がある。

【0009】この発明は上記のような事情を考慮してなされたものであり、その目的は、製造が容易であり、メモリセル面積の縮小化を図ることができる半導体記憶装置及びその製造方法を提供することである。

【0010】

【課題を解決するための手段】この発明の半導体記憶装置は、半導体基板上にMOSトランジスタとキャパシタからなるメモリセルを複数個集積したものであって、上記基板に形成された溝と、上記溝の下部の内周面を覆うように形成された第1の絶縁膜と、上記溝の上部の内周面を覆うように形成された第2の絶縁膜と、上記溝内において上記第1の絶縁膜を埋めるように設けられ、上記キャパシタの蓄積電極として用いられる第1の導電体層と、上記溝内の上記第1の導電体層上で上記第2の絶縁膜を埋めるように設けられた第2の導電体層と、上記溝の下部を囲むように上記基板に形成された拡散領域と、上記第2の導電体層を含む上記基板に形成された半導体層と、上記半導体層及びその下部に選択的に形成され、かつその上部には上記半導体層が存在しないように形成され、上記半導体層を複数の領域に分離する素子分離層と、上記半導体層を含む層内に形成された上記MOSトランジスタのソース／ドレイン拡散層と、上記ソース／ドレイン拡散層の1つと接するように上記半導体層内に形成され、上記ソース／ドレイン拡散層の1つと上記蓄積電極用導電体層とを電気的に接続する表面接続層とを具備している。

【0011】この発明の半導体記憶装置の製造方法は、半導体基板上にMOSトランジスタとキャパシタからなるメモリセルを複数個集積してなる半導体記憶装置の製造方法であって、第1導電型の半導体基板を用意する工

5

程と、選択エッチングにより上記基板にキャパシタ用の第1の溝を形成する工程と、上記第1の溝の上部を除いた内周面から上記基板内に第1導電型とは反対導電型の第2導電型の不純物を拡散させてキャパシタの対向電極となる拡散層を形成する工程と、上記第1の溝の下部の内周面を覆うように第1の絶縁膜を形成する工程と、上記第1の絶縁膜で覆われた上記溝内下部を埋めるように、上記キャパシタの蓄積電極として用いられる第1の導電体層を形成する工程と、上記溝の上部の内周面を覆うように第2の絶縁膜を形成する工程と、上記第2の絶縁膜で覆われた上記溝内上部を埋めるように第2の導電体層を形成する工程と、上記第2の導電体層を含む上記基板上に半導体層を形成する工程と、上記第2の導電体層上に位置する上記半導体層に第2導電型の不純物を選択的に導入して表面接続層を形成する工程と、底部が上記半導体基板に達するように上記半導体層に素子分離用の第2の溝を形成して、上記半導体層を複数の部分に分割する工程と、上記第2の溝内を絶縁膜で埋めて、上記複数の部分に分割された半導体層を電気的に分離する工程と、上記半導体層上にゲート絶縁膜を介してMOSトランジスタのゲート電極を形成する工程と、上記ゲート電極をマスクに用いて上記半導体層に選択的に第1導電型の不純物を導入してMOSトランジスタのソース/ドレイン拡散層を形成すると同時にこのソース/ドレイン拡散層のいずれか一方を上記表面接続層と重なり合うように形成する工程とを具備している。

【0012】

【発明の実施の形態】以下、図面を参照してこの発明を実施の形態により説明する。図1はこの発明に係る半導体記憶装置を、トレンチ型セルを有するDRAMに実施した第1の実施の形態による素子構造を示すものであり、図1(a)は2ビット分のメモリセルのレイアウトを示すパターン平面図、図1(b)は図1(a)中のIb-Ib線に沿った断面図、図1(c)は図1(a)中のIc-Ic線に沿った断面図である。

【0013】図1(a)中、11はMOSトランジスタのチャネル、ソース/ドレイン拡散層等が形成されるアクティブ領域である。このアクティブ領域11は、図1(a)に示すように横方向に走っており、図中の上下方向で隣接するものどおしで互いに半ピッチ単位でずれて配置されている。上記各アクティブ領域11の両側には、キャパシタを形成するための深いトレンチ(deep trench : DT)12がそれぞれ配置されている。また、図1(a)中、一点鎖線で囲んだ領域13は、1個のメモリセルが形成されているメモリセル領域を示している。

【0014】P型のSi基板(P-sub)21内には、Si基板の表面から深さ1.3μm程度のところにN型の埋め込み層(N-well)22が形成されている。深いトレンチ(deep trench : DT)12は、上記

6

埋め込み層22を貫通し、底部が上記基板21内に達するように形成されている。上記トレンチ12の上部を除く周囲のSi基板21側には、キャパシタの対向電極となるN型の拡散層23が形成されている。この拡散層23の一部は上記埋め込み層22とオーバーラップして、電気的に接続している。また、上記トレンチ12の底部から上記埋め込み層22の途中までの間に位置するトレンチ内周面上には、キャパシタのキャパシタ絶縁膜となる絶縁膜24が形成されている。この絶縁膜24として、酸化膜で換算した膜厚として例えば4~5nmの膜厚のNO膜、もしくはSiO<sub>2</sub>膜、又はTa<sub>2</sub>O<sub>5</sub>膜、BTS((Ba, Sr)TiO<sub>3</sub>)膜等が使用される。

【0015】上記絶縁膜24で覆われた上記トレンチ12の部分を埋めるように多結晶シリコン膜25が形成されている。この多結晶シリコン膜25には不純物が導入されて低抵抗化されており、この多結晶シリコン膜25はキャパシタの蓄積電極として使用される。さらに、上記トレンチ12の内周面において、上記絶縁膜24が形成されている部分よりも上部の内周面を覆うようにSiO<sub>2</sub>膜26が形成されている。このSiO<sub>2</sub>膜26の膜厚は、先の絶縁膜24よりも十分に厚く(50~70nm)されている。また、上記多結晶シリコン膜25上の残りのトレンチ12を埋めるように多結晶シリコン膜27が形成されている。この多結晶シリコン膜27にも不純物が導入されており、低抵抗化されている。

【0016】上記多結晶シリコン膜27上を含むSi基板全面には膜厚が50nm程度のSi層28が形成されている。上記Si層28は、Si基板21上ではエピタキシャルSi層に、多結晶シリコン膜27やSiO<sub>2</sub>膜26上では多結晶シリコン層になっている。前記アクティブ領域11はこのSi層28を含むように形成されている。

【0017】また、隣接する2つのトレンチ12の間には、上記Si層28を貫通し、底部が上記埋め込み層22上に位置する基板21に達するSTI用のトレンチ29が形成されている。このトレンチ29の深さは、Si層28の表面から0.2μm程度である。さらにこのトレンチ29を含み、このトレンチ29よりも広い領域のアクティブ領域11両側には、このトレンチ29よりも十分に浅い(約30nm)トレンチ30が形成されている。そして、上記トレンチ29及び30内には、表面が平坦化されたSiO<sub>2</sub>膜31が埋め込まれている。

【0018】上記Si層28上にはそれぞれゲート絶縁膜32を介して複数のゲート電極導体33が形成されている。これら各ゲート電極導体33は、不純物が導入されて低抵抗化された多結晶シリコンからなる単一層の導電体層、あるいは複数の導電体材料からなる積層膜によって構成されており、一般的には下層が多結晶シリコン、上層がWSiからなる2層構造の積層膜によって構成されている。これらのゲート電極導体33は、図1

7

(a) に示すように縦方向に走っている。

【0019】また、上記ゲート電極導体33の下部に位置する上記Si層28にはMOSトランジスタのチャンネルが設定されており、このチャンネルの両側に位置する上記Si層28内には、N型の不純物が導入されたMOSトランジスタのソース/ドレイン拡散層34が形成されている。なお、上記隣接する2つのトレンチ12の上部に配置された2つのゲート電極導体33は、図1(a)に示した2つのメモリセル領域を通過する、図示しない他のメモリセルのMOSトランジスタのゲート電極導体10であり、この通過する2つのゲート電極導体33は、図1(b)に示すように、前記STI用のトレンチ29及びトレンチ30を埋めるように形成された前記SiO<sub>2</sub>膜31上に形成されている。

【0020】上記ソース/ドレイン拡散層34のうち、トレンチ12側に配置されているものと重なり合うように、前記Si層28内にはN型の不純物が導入された表面接続層(surface strap)35が形成されている。この表面接続層35は、前記トレンチ12内に形成された多結晶シリコン膜27と、トレンチ12側に配置されている上記ソース/ドレイン拡散層34とを電気的に接続しており、結果的にこの表面接続層35を介して、前記トレンチ12内に形成されキャパシタの蓄積電極として使用される多結晶シリコン膜25と、トレンチ12側に配置されているソース/ドレイン拡散層34とを電気的に接続している。

【0021】上記各ゲート電極導体33上にはSi<sub>3</sub>N<sub>4</sub>からなるキャップ絶縁膜36が約150nmの膜厚で形成されており、このキャップ絶縁膜36上を含む全面にSi<sub>3</sub>N<sub>4</sub>からなるバリア絶縁膜37が形成されており、さらに各ゲート電極導体相互間のバリア絶縁膜37上にはBPSG膜38が形成され、このBPSG膜38上を含む全面にはTEOS-SiO<sub>2</sub>膜39が形成されている。

【0022】そして、図1(b)中で横方向に隣接する2つのMOSトランジスタの共通ドレインとなるソース/ドレイン拡散層34に通じるコンタクトホール40が、上記TEOS-SiO<sub>2</sub>膜39、BPSG膜38及びバリア絶縁膜37からなる積層膜に対して開口されており、このコンタクトホール40を、不純物が導入されて低抵抗化された多結晶シリコンで埋めることによってビットラインコンタクト41が形成されている。さらに上記TEOS-SiO<sub>2</sub>膜39中には例えばタングステン(W)膜からなるビットライン42が形成されている。このビットライン42は、上記ビットラインコンタクト41を介して前記ソース/ドレイン拡散層34に電気的に接続されている。

【0023】上記構成でなる半導体記憶装置のメモリセルの特徴は、以下の通りである。

(1) MOSトランジスタのソース/ドレイン拡散層3

8

4とトレンチキャパシタの蓄積電極となる多結晶シリコン膜25との接続が表面接続層35を介して行われる点。

(2) 表面接続層35が形成されている同じSi層28内に、MOSトランジスタのチャンネルやソース/ドレイン拡散層34が形成されている点。

(3) 表面接続層35が、当初のDTパターン上に配置されており、かつ隣接するメモリセル用のトランジスタのゲート電極導体33の下を走っている点。

(4) 表面接続層35がSi層28中に形成されている点。

【0024】上記のような構成の半導体記憶装置によれば、MOSトランジスタのソース/ドレイン拡散層34とトレンチキャパシタの蓄積電極となる多結晶シリコン膜25との接続を表面接続層35を用いて行うようにしたので、従来のような非対称なソース/ドレイン形状が原因となるトレンチのサイドウォール拡散層を形成する必要がなくなり、その分だけMOSトランジスタのゲート電極導体33とトレンチ12との間の距離(図1

(a)中にSで示している)を縮めることができる。例えば、この距離を従来では0.2μmが限界であったものを、0.15μm程度まで縮めることができ、この結果、素子の微細化を図ることができる。

【0025】また、上記表面接続層35をSi層28内に形成したので、従来のようなサイドウォール拡散層を用いる場合と比較して、両者間に存在する接続抵抗の値がプロセスに応じて変動しにくくなり、安定した接続抵抗特性を得ることができる。

【0026】さらに、従来のような、隣接するトレンチ12の側に形成される深いサイドウォール拡散層を除去する必要がないので、STI用のトレンチ29の深さを従来よりも浅くすることができる。また、MOSトランジスタのソース/ドレイン拡散層34も対称な形状にすることができ、MOSトランジスタの特性向上を図ることができる。

【0027】さらに、図1(c)に示されるように、SiO<sub>2</sub>膜31上にはSi層28が延在していないので、隣接するメモリセルのSi層28同士が接続することはなく、各メモリセルが構成されるSi層28はSiO<sub>2</sub>膜31によって電気的に分離されている。

【0028】次に図1に示すようなDRAMの製造方法について説明する。まず、図2に示すように、P型のSi基板(P-sub)21の上部に例えばイオン注入法によりN型の不純物を注入し、熱処理を行って、N型の埋め込み層(N-well)22を形成する。次にSi基板21の表面上にトレンチエッチング用のマスク層を形成する。このマスク層は、下から、約8nmの膜厚のSiO<sub>2</sub>膜51、約100nmの膜厚のSi<sub>3</sub>N<sub>4</sub>膜52及び約500nmの膜厚のTEOS-SiO<sub>2</sub>膜(図示せず)で構成されている。

【0029】そして、このマスク層を用いてSi基板21をエッチングし、約8 $\mu$ mの深さの深いトレンチ(DT)12を形成する。さらに各トレンチ12の内部からSi基板21に対して不純物を拡散させて、トレンチ12の上部を除いたトレンチ周囲のSi基板21にN型の拡散層23を形成する。この拡散層23は、トレンチ12の内部を含む全面にN型不純物として例えばAsを含むAsSG膜を堆積し、このAsSG膜をトレンチ12の上部を除いた領域に残した後に、加熱処理を施してAsをSi基板21中に拡散させることにより形成するが、他の方法を用いても良い。上記拡散層23の形成後はAsSG膜を除去する。次に、上記トレンチ12の内周面上に、キャパシタのキャパシタ絶縁膜となる絶縁膜24を形成する。この絶縁膜24は前記したように、酸化膜換算で例えば膜厚が4~5nmのNO膜(SiO<sub>3</sub>N<sub>4</sub>膜とSiO<sub>2</sub>膜との積層膜)、もしくはSiO<sub>2</sub>膜、又はTa<sub>2</sub>O<sub>5</sub>膜、BTS((Ba, Sr)TiO<sub>3</sub>)膜等が使用される。

【0030】続いて、上記絶縁膜24で覆われた上記トレンチ12内にトレンチキャパシタの蓄積電極となる多結晶シリコン膜25を形成する。この多結晶シリコン膜25の上面はSi基板21の表面から深さ1.0 $\mu$ m程度である。この多結晶シリコン膜25は、CVD法による堆積とCMP(Chemical Mechanical Polishing)法及びRIE法による平坦化及びリセスエッチングとを組み合わせ形成する。なお、この多結晶シリコン膜25には不純物を導入して低抵抗化する必要があるが、多結晶シリコンの堆積時に同時に不純物を導入することによって低抵抗化された多結晶シリコンを形成しても良いし、アンドープ多結晶シリコンの堆積後に不純物を導入する

【0031】上記多結晶シリコン膜25の形成後は、トレンチ12の上部サイドウォール上に位置する絶縁膜24を除去して、上記トレンチ12の底部から埋め込み層22の途中までの間に位置するように絶縁膜24を残す。

【0032】次に、図3に示すように、全面に約50nmの膜厚の絶縁膜を堆積した後、これをRIE法でエッチングして、トレンチ12の上部サイドウォール上に絶縁膜を残してカラー絶縁膜(collar oxide)53を形成する。

【0033】次に、図4に示すように、全面に多結晶シリコン膜27を堆積した後、CMP法及びRIE法により、Si基板21の表面とほぼ同じ高さとなるまでエッチングして、上記トレンチ12内に多結晶シリコン膜27を残す。このとき、同時にSi<sub>3</sub>N<sub>4</sub>膜52及びその上のTEOS-SiO<sub>2</sub>膜も除去する。

【0034】なお、上記多結晶シリコン膜27にも不純物を導入して低抵抗化する必要があり、その方法として多結晶シリコン層25の場合と同様に、多結晶シリコン

の堆積時に同時に不純物を導入することによって低抵抗化された多結晶シリコンを形成する方法でも良いし、アンドープ多結晶シリコンの堆積後にAsなどの不純物を導入する方法でも良い。また、埋め込み時の形状を良くするために、アモルファスSiを用いても良い。

【0035】次に、Nチャネル及びPチャネルMOSトランジスタ用のウェル領域の形成のため及びPチャネル及びNチャネルMOSトランジスタのチャネルインプラを行うために、残されたSiO<sub>2</sub>膜51を介して各種不純物イオンをSi基板21の表面領域に注入する(図示せず)。その際、狭いチャネルプロファイルを形成するには、B(BF<sub>2</sub>)やP(As)イオンの代わりにInやSbを使用しても良い。

【0036】次に、図5に示すように、CMP法またはウェットエッチング法等により、カラー絶縁膜53のSi基板21上から突出した部分のみを除去し、さらにSiO<sub>2</sub>膜51を除去し、Si基板21及び多結晶シリコン膜27及びカラー絶縁膜53それぞれの表面を露出させ、例えば850℃のH<sub>2</sub>ガス雰囲気において30分間、高温処理を施すことによって露出した表面を清浄にする。続いて、例えばFTP(Fast Thermal Process tool)により、Si基板21及び多結晶シリコン膜27表面を含む全面にアモルファスSi膜を約60nmの膜厚に堆積する。続いて、アモルファスSi膜を堆積した同じFTPを用いて、例えば約600℃のArガス雰囲気において約40分の加熱処理を施すことにより、Si基板21上のアモルファスSi膜をエピタキシャル層を含むSi層28に変える(以下、このエピタキシャル層を含むSi層28をエピタキシャルSi層28と称する)。

【0037】ここで、図示のようにエピタキシャルSi層28の膜厚は、Si基板21上に位置する部分と、多結晶シリコン膜25、27の上部に位置する部分とで実質的に等しくなり、かつ多結晶シリコン膜25、27の上部に位置する部分での膜厚も実質的に均一になっている。

【0038】なお、トレンチ12内の多結晶シリコン膜27上及び絶縁膜53上のアモルファスSi膜は、それぞれ完全にはエピタキシャルSi層に変化せず、アモルファスSi膜や多結晶Si膜として残る。しかし、上記両膜上の層は、MOSトランジスタのチャネルとして使用されることがないために、それ程のクオリティは必要としない。なお、上記方法の代わりに、通常のエピタキシャルSi成長法を使用してエピタキシャルSi層28を形成することもできる。このときの成長温度は560℃であり、SiH<sub>4</sub>ガスが使用される。

【0039】次に、図6に示すように、メモリセル領域を通過する隣接メモリセルのためのゲート電極導体33(図1に図示)に対応した位置に開口を有する、SiO<sub>2</sub>膜54及びSi<sub>3</sub>N<sub>4</sub>膜55からなるマスク層を形成し、このマスク層を用いてN型の不純物イオンをエピタ

11

キシャルSi層28内にイオン注入して拡散層56を形成した後、同じマスク層を用いてこの拡散層56を表面から30nmの深さまでエッチングして前記トレンチ30を形成する。その際にトレンチ底部のエッジが丸くなるようにエッチングする方が望ましい。なお、図6(a)は前記図1(b)の断面図に対応しており、図6(b)は前記図1(c)の断面図に対応している。

【0040】次に、図7に示すように、隣接するトレンチ間では、上記拡散層56をエッチングする際に用いたマスク層よりも狭い領域に開口を有するレジスト層57を形成し、このレジスト層57を用いた非選択性RIE法により上記拡散層56及びその下部のSi基板21を200nm程度エッチングして、素子分離用のSTI用トレンチ29を形成する。このときもトレンチ底部のエッジが丸くなるようにエッチングする方が好ましい。このエッチングにより、拡散層56からなる表面接続層(surface strap)35が形成される。なお、図7(a)は前記図1(b)の断面図に、図7(b)は前記図1(c)の断面図にそれぞれ対応している。

【0041】次に、図8に示すように、上記レジスト層57を除去した後、全面にSiO<sub>2</sub>膜31を堆積し、CMP法により研磨して平坦化することにより、このSiO<sub>2</sub>膜31をSTI用のトレンチ29及びトレンチ30内のみ残す。このCMP法による平坦化の際に、前記Si<sub>3</sub>N<sub>4</sub>膜55はストッパ材として使用される。すなわち、SiO<sub>2</sub>膜31に比べてSi<sub>3</sub>N<sub>4</sub>膜55は研磨され難いので、SiO<sub>2</sub>膜31の平坦化が達成される。この工程で、Si<sub>3</sub>N<sub>4</sub>膜55は膜厚が部分的に変化するようなプロセスダメージを受けないので、一定した膜厚となる。なお、図8(a)はパターン平面図、図8(b)は図8(a)中のVIIIb-VIIIb線に沿った断面図、図8(c)は図8(a)中のVIIIc-VIIIc線に沿った断面図である。

【0042】この後は、Si<sub>3</sub>N<sub>4</sub>膜55及びその下部のSiO<sub>2</sub>膜54を除去した後に、Si基板21上にゲート犠牲酸化膜(gate sacrificial oxide)を形成し、このゲート犠牲酸化膜を介してMOSトランジスタのVth(しきい値電圧)合わせ用のチャネルインプラを行い(図示せず)、続いてゲート犠牲酸化膜を除去した後、図9に示すように、新たに約8nmの膜厚のゲート絶縁膜32、ゲート電極導体33及び約150nmの膜厚のSi<sub>3</sub>N<sub>4</sub>からなるキャップ絶縁膜36を堆積し、所定のマスク層を用いてこれらキャップ絶縁膜36、ゲート電極導体33をパターニングしてゲート電極構造を形成し、続いてこのゲート電極構造をマスクにエピタキシャルSi層28を含む領域にN型不純物をイオン注入してソース/ドレイン拡散層34を形成する。このとき、ソース/ドレイン拡散層34の1つは前記表面接続層35とオーバーラップした状態で形成される。

【0043】その後、例えば30nm程度の膜厚のSi<sub>3</sub>

12

N<sub>4</sub>からなるバリア絶縁膜37、例えば500nm程度の膜厚のBPSG膜38を堆積し、CMP法で平坦化した後、TEOS-SiO<sub>2</sub>膜39を例えば300nm程度の膜厚で形成する。この後は、図1に示すように、コンタクトホール40の開口、多結晶シリコン膜で埋め込まれたビットラインコンタクト41の形成及びW膜からなるビットライン42を形成する。この後、層間絶縁膜を堆積し、コンタクト、配線層を形成(図示せず)して、完成する。

【0044】このような製造方法によれば、MOSトランジスタのソース/ドレイン拡散層34が形成されるエピタキシャルSi層28に、MOSトランジスタのソース/ドレイン拡散層34とトレンチキャパシタの蓄積電極となる多結晶シリコン膜25とを電気的に接続するための表面接続層35も形成するようにしたので、深いトレンチ(DT)12を従来のようにCMP法とRIE法とを組み合わせる方法で形成する場合に比較して、工程数を削減することができる。例えば従来のCMPとRIEとを組み合わせるトレンチ形成方法では3回のリセス(recess)工程が必要であるのに対して、上記の方法では2回のリセス工程で済む。

【0045】また、従来のようなトレンチ12の上部サイドウォールでのサイドウォールコンタクトにおける拡散が伸びることを考慮する必要がないので、深いトレンチ(DT)12を形成した後に長時間及び高温(例えば、1000℃、60分)のトレンチストレス緩和アニールを行うことができる。この結果、メモリセルにおけるデータ保持特性(データリテンション特性)を向上させることができる。

【0046】さらに、従来のサイドウォールプロセス(Buried strap method)に代えて平坦表面プロセス(planar surface process)を用いているために、リセスの深さのばらつき等による接続抵抗の変化等のプロセス変動を減らすことができるという効果も得ることができる。

【0047】次にこの発明の第2の実施の形態に係る製造方法を図10ないし図12の断面図を参照して説明する。なお、これら図10ないし図12はそれぞれ、前記図1(a)のパターン平面図中のIb-Ib線に沿った断面構造を示している。

【0048】この第2の実施の形態による方法において、Si基板21の全面にエピタキシャルSi層28を形成するまでの工程(図1～図5)は第1の実施の形態と同様であるので、その説明は省略する。

【0049】次に、図10に示すように、全面にSiO<sub>2</sub>膜58を形成した後、メモリセル領域を通過するゲート電極導体33(図1に図示)に対応した位置に開口を有するレジスト層59を形成し、このレジスト層59を用いてN型の不純物イオンをエピタキシャルSi層28内にイオン注入して拡散層56を形成する。すなわち、

この工程では、前記トレンチ 30 (図 6 に図示) を形成することなく、この拡散層 56 をそのまま残す。

【0050】次に、図 11 に示すように、全面に  $\text{SiO}_2$  膜 54 及び  $\text{Si}_3\text{N}_4$  膜 55 を堆積した後、STI 形成用のレジスト層 57 を形成し、このレジスト層 57 を用いた非選択性 RIE 法により上記拡散層 56 及びその下部の  $\text{Si}$  基板 21 を 200nm 程度エッチングして、STI 用のトレンチ 29 を形成する。このとき、トレンチ底部のエッジが丸くなるようにエッチングする方が好ましい。このエッチングにより、拡散層 56 からなる表面  
10 接続層 (surface strap) 35 が形成される。

【0051】次に、上記レジスト層 57 を除去した後、全面に  $\text{SiO}_2$  膜 31 を堆積し、CMP 法により研磨して平坦化することにより、図 12 に示すように、 $\text{SiO}_2$  膜 31 を STI 用のトレンチ 29 内のみ残す。この CMP 法による平坦化の際も、 $\text{Si}_3\text{N}_4$  膜 55 は CMP を行う時の研磨のストッパ材として使用される。

【0052】この後は、 $\text{Si}_3\text{N}_4$  膜 55 及びその下部の  $\text{SiO}_2$  膜 54 を除去し、エピタキシャル  $\text{Si}$  層 28 上にゲート犠牲酸化膜を形成し、このゲート犠牲酸化膜を介して MOS トランジスタの  $V_{th}$  (しきい値電圧) 合わせ用のチャネルインプラを行い、続いてゲート犠牲酸化膜を除去した後、新たに約 8nm の膜厚のゲート絶縁膜 32、ゲート電極導体 33 形成用の多結晶シリコン層及び約 150nm の膜厚の  $\text{Si}_3\text{N}_4$  からなるキャップ絶縁膜 36 を堆積し、所定のマスク層を用いてこれらキャップ絶縁膜 36、ゲート電極導体 33 をパターンニングしてゲート電極構造を形成する。この後の工程は、第 1 の実施の形態による方法と同様なので、その説明は省略する。また、第 1 の実施の形態による方法と同様に、ゲート犠牲酸化膜として  $\text{SiO}_2$  膜を用いることもできる。  
20

【0053】この方法によって製造された半導体記憶装置では、メモリセル領域を通過する隣接メモリセルのゲート電極導体 33 の下部には、STI のトレンチ 29 内を埋めるように  $\text{SiO}_2$  膜 31 が形成され、前記図 1 に示すような浅いトレンチ 30 は存在していない。

【0054】すなわち、この実施の形態による方法によって製造された半導体記憶装置では、メモリセル領域を通過する隣接メモリセルのゲート電極導体 33 と、表面  
40 接続層 35 との間に前記のような厚い  $\text{SiO}_2$  膜 31 が存在しない。従って、このような構造の半導体記憶装置は、通過するゲート電極導体 33 の寄生キャパシタンスは大きくなるが、浅いトレンチ 30 (図 1 に図示) を形成するための工程が省略できるという効果が得られる。

【0055】さらに、表面接続層 35 形成のためのインプラは、エピタキシャル  $\text{Si}$  層 28 に対するウエル領域形成及び MOS トランジスタの  $V_{th}$  合わせ用のチャネルインプラ形成の際に、ゲート犠牲酸化膜を介して行うことができる。従って、この第 2 の実施の形態による方法  
50

では、先の第 1 の実施の形態による方法と比べて、大幅に製造工程の簡略化を図ることができる。

【0056】また、熱工程を調整することにより、不純物がドーパされた多結晶シリコン層 27 からエピタキシャル  $\text{Si}$  層 28 への不純物の拡散が大きく存在する場合には、それにより表面接続層 35 に代わる層を自己整合的に形成することが可能になる。

【0057】次にこの発明の第 3 の実施の形態に係る製造方法を図 13 の断面図を参照して説明する。なお、この図 13 は前記図 1 (a) のパターン平面図中の I b - I b 線に沿った断面構造を示している。

【0058】この第 3 の実施の形態による方法では、第 2 の実施の形態に係る方法において、STI のトレンチ 29 内を埋めるように  $\text{SiO}_2$  膜 31 を形成した後に、ゲート絶縁膜 32 を形成する際に酸化雰囲気中で表面を熱酸化することにより行う。予め N 型の不純物が導入されている表面接続層 35 と、不純物が導入されていない残りのエピタキシャル  $\text{Si}$  層 28 とは酸化速度 (oxidation rate) が異なる。従って、表面を熱酸化することにより、エピタキシャル  $\text{Si}$  層 28 上には約 8nm の膜厚のゲート絶縁膜 32 が形成され、かつ表面接続層 35 上にはこれよりも膜厚が厚い、例えば 15nm 程度の  $\text{SiO}_2$  膜 58 が形成される。この後の工程は、第 1 の実施の形態による方法と同様なので、その説明は省略する。

【0059】この第 3 の実施の形態による方法で製造された半導体記憶装置では、 $\text{SiO}_2$  膜 58 の存在により、隣接メモリセルのゲート電極導体 33 における寄生キャパシタンスの値を、第 2 の実施の形態による方法で製造されたものと比べて減少させることができる。

【0060】次にこの発明の第 4 の実施の形態に係る製造方法を図 14 及び図 15 の断面図を参照して説明する。なお、これら図 14 及び図 15 は前記図 1 (a) のパターン平面図中の I b - I b 線に沿った断面構造を示している。

【0061】この第 4 の実施の形態による方法において、 $\text{Si}$  基板 21 の全面にエピタキシャル  $\text{Si}$  層 28 を形成するまでの工程 (図 1 ~ 図 5) は第 1 の実施の形態と同様なので、その説明は省略する。

【0062】次に、第 1 の実施の形態における図 6 に示す工程と同様に、 $\text{SiO}_2$  膜 54 及び  $\text{Si}_3\text{N}_4$  膜 55 からなるマスク層を形成し、このマスク層を用いて N 型の不純物イオンをエピタキシャル  $\text{Si}$  層 28 内にイオン注入して拡散層 56 を形成した後、図 14 に示すように、同じマスク層を用いて選択酸化 (mini-LOCOS (Local Oxidation of Silicon)) を行うことにより、拡散層 56 上に  $\text{SiO}_2$  膜 54 よりも膜厚が厚い  $\text{SiO}_2$  膜 60 を自己整合的に形成する。この  $\text{SiO}_2$  膜 60 の膜厚は例えば 26nm 程度とする。

【0063】この後、図 15 に示すように、 $\text{Si}_3\text{N}_4$  膜 55 を除去し、新たに全面に  $\text{Si}_3\text{N}_4$  膜 61 を堆積



15

し、さらにその上にSTI形成用のレジスト層57を形成し、このレジスト層57を用いた非選択性RIE法により、まず直下のSi<sub>3</sub>N<sub>4</sub>膜61を除去し、続いて拡散層56及びその下部のSi基板21を200nm程度エッチングしてSTI用のトレンチ29を形成する。このとき、トレンチ底部のエッジが丸くなるようにエッチングする方が好ましい。このエッチングにより、拡散層56からなる表面接続層35が形成される。

【0064】この後、レジスト層57を除去し、第1の実施の形態の場合と同様に全面にSiO<sub>2</sub>膜を堆積し、このSiO<sub>2</sub>膜をCMP法によって研磨して平坦化することにより、SiO<sub>2</sub>膜をSTI用のトレンチ29内のみ残す。なお、このCMP法による平坦化の際も、Si<sub>3</sub>N<sub>4</sub>膜61はストッパ材として使用される。この後の工程は第1の実施の形態の場合と同様である。

【0065】この第4の実施の形態による方法で製造される半導体記憶装置では、隣接メモリセルのゲート電極導体の下部には比較的膜厚が厚いSiO<sub>2</sub>膜60が形成されているので、この通過するゲート電極導体における寄生キャパシタンスの値を減少させることができる。

【0066】次にこの発明の第5の実施の形態に係る製造方法を図16及び図17の断面図を参照して説明する。なお、これら図16及び図17は前記図1(a)のパターン平面図中のIb-Ib線に沿った断面構造を示している。

【0067】この第5の実施の形態による方法では、図11の工程までは第2の実施の形態による方法と同様なので、その説明は省略する。そして、STI用のトレンチ29内にSiO<sub>2</sub>膜31を埋め込み、その後、図16に示すように、ゲート犠牲酸化膜54上（またはSiO<sub>2</sub>膜58をそのまま用いる場合はSiO<sub>2</sub>膜58上）にレジスト層62を形成した後、このレジスト層62をマスクにゲート犠牲酸化膜54をエッチングして拡散層56（表面接続層35）またはSiO<sub>2</sub>膜58上（またはSiO<sub>2</sub>膜58）を残す。

【0068】次に、上記レジスト層62を除去した後、ゲート酸化を行うことにより、拡散層56（表面接続層35）上にゲート絶縁膜より膜厚の厚いSiO<sub>2</sub>膜63を形成し、その他のエピタキシャルSi層28上には約8nmの膜厚のゲート絶縁膜32を形成する。この後の工程は、第1の実施の形態による方法と同様なので、その説明は省略する。

【0069】この第5の実施の形態による方法で製造される半導体記憶装置でも、隣接メモリセルのゲート電極導体の下部には比較的膜厚が厚いSiO<sub>2</sub>膜63が形成されているので、通過するゲート電極導体における寄生キャパシタンスの値を減少させることができる。

【0070】なお、この発明は上記した各実施の形態に限定されるものではなく種々の変形が可能であることは

16

いうまでもない。例えばMOSトランジスタのゲート絶縁膜を熱酸化による方法で形成する場合について説明したが、これは他に例えばCVD-SiO<sub>2</sub>膜を例えば8nm程度に堆積した後に900℃の酸素雰囲気中でアニールすることで形成する、いわゆるHTO（high temperature oxide）膜を用いても良い。このHTO膜によるゲート絶縁膜は欠陥が少なく良質のものが得られるばかりではなく、エピタキシャルSi層28とトレンチ12上のアモルファス層になっているSi層の両方の上で同じ膜質のゲート絶縁膜を形成することができる。すなわち、下地の結晶性によらない酸化膜が形成できるので有効である。

【0071】

【発明の効果】以上説明したように、この発明によれば、製造が容易であり、メモリセル面積の縮小化を図ることができる半導体記憶装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態による半導体記憶装置の構造を示し、(a)は2ビット分のメモリセルのレイアウトを示すパターン平面図、(b)は断面図、(c)は断面図。

【図2】図1の半導体記憶装置を製造する際の最初の工程を示す断面図。

【図3】図2の次の工程を示す断面図。

【図4】図3の次の工程を示す断面図。

【図5】図4の次の工程を示す断面図。

【図6】図5の次の工程を示す断面図。

【図7】図6の次の工程を示す断面図。

【図8】図7の次の工程を示すものであり、(a)はパターン平面図、(b)は断面図、(c)は断面図。

【図9】図8に続く工程を示すものであり、(a)はパターン平面図、(b)は断面図、(c)は断面図。

【図10】この発明の第2の実施の形態による半導体記憶装置の製造方法による工程の断面図。

【図11】図10の次の工程を示す断面図。

【図12】図11の次の工程を示す断面図。

【図13】この発明の第3の実施の形態による半導体記憶装置の製造方法による工程の断面図。

【図14】この発明の第4の実施の形態による半導体記憶装置の製造方法による工程の断面図。

【図15】図14の次の工程を示す断面図。

【図16】この発明の第5の実施の形態による半導体記憶装置の製造方法による工程の断面図。

【図17】図16の次の工程を示す断面図。

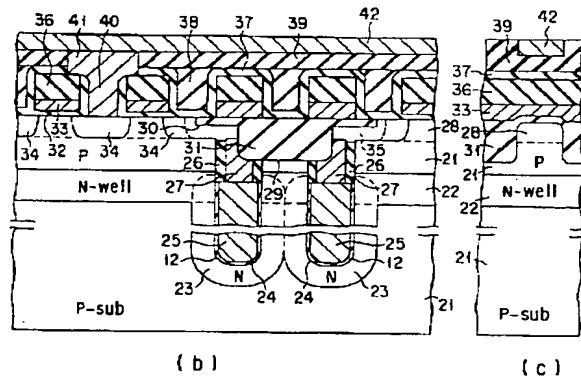
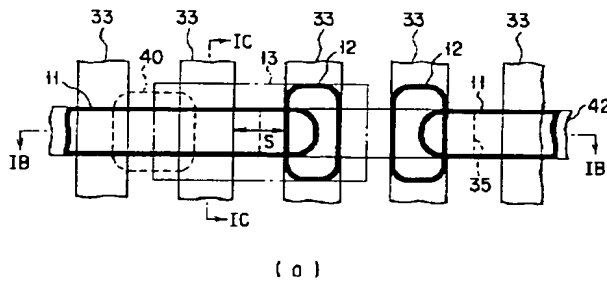
【符号の説明】

- 11…アクティブ領域、
- 12…深いトレンチ (deep trench)、
- 13…メモリセル領域、
- 21…P型のSi基板 (P-sub)、

17

- 22…N型の埋め込み層 (N-well)、  
 23…N型の拡散層、  
 24…キャパシタ絶縁膜となる絶縁膜、  
 25…多結晶シリコン膜、  
 26… $\text{SiO}_2$  膜、  
 27…多結晶シリコン膜、  
 28…エピタキシャルSi層、  
 29…STI用のトレンチ、  
 30…浅いトレンチ、  
 31… $\text{SiO}_2$  膜、  
 32…ゲート絶縁膜、  
 33…ゲート電極導体、  
 34…ソース/ドレイン拡散層、  
 35…表面接続層 (surface strap)、  
 36…キャップ絶縁膜、  
 37…バリア絶縁膜、  
 38…BPSG膜、  
 39…TEOS膜、  
 40…コンタクトホール、  
 41…ビットラインコンタクト、  
 42…ビットライン、  
 51… $\text{SiO}_2$  膜、  
 52… $\text{Si}_3\text{N}_4$  膜、  
 53…カラー絶縁膜 (collar oxide)、  
 54… $\text{SiO}_2$  膜、  
 55… $\text{Si}_3\text{N}_4$  膜、  
 56…拡散層、  
 57…レジスト層、  
 58… $\text{SiO}_2$  膜、  
 59…レジスト層、  
 60… $\text{SiO}_2$  膜、  
 61… $\text{Si}_3\text{N}_4$  膜、  
 62…レジスト層、  
 63… $\text{SiO}_2$  膜。

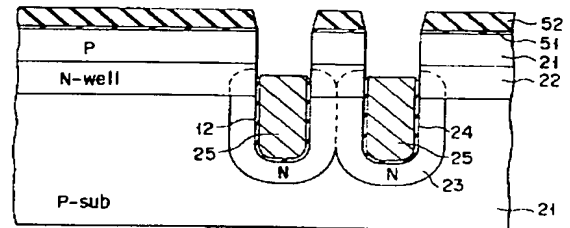
【図1】



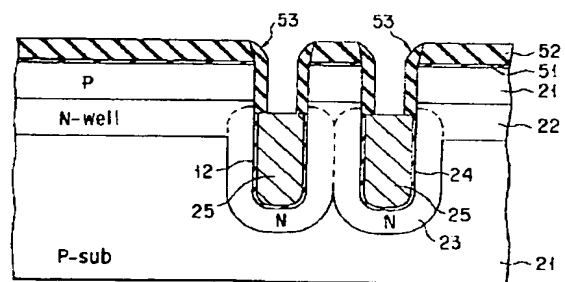
18

- \* 39…TEOS膜、  
 40…コンタクトホール、  
 41…ビットラインコンタクト、  
 42…ビットライン、  
 51… $\text{SiO}_2$  膜、  
 52… $\text{Si}_3\text{N}_4$  膜、  
 53…カラー絶縁膜 (collar oxide)、  
 54… $\text{SiO}_2$  膜、  
 55… $\text{Si}_3\text{N}_4$  膜、  
 56…拡散層、  
 57…レジスト層、  
 58… $\text{SiO}_2$  膜、  
 59…レジスト層、  
 60… $\text{SiO}_2$  膜、  
 61… $\text{Si}_3\text{N}_4$  膜、  
 62…レジスト層、  
 63… $\text{SiO}_2$  膜。

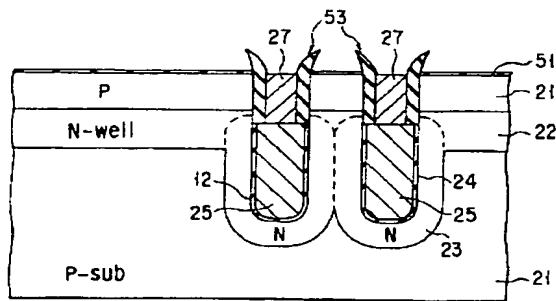
【図2】



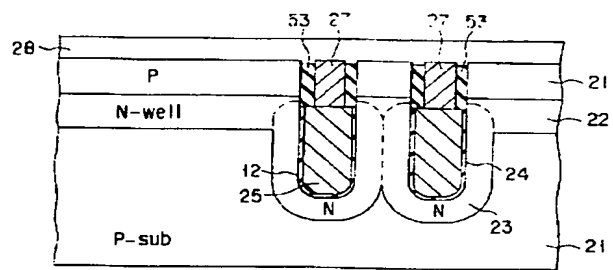
【図3】



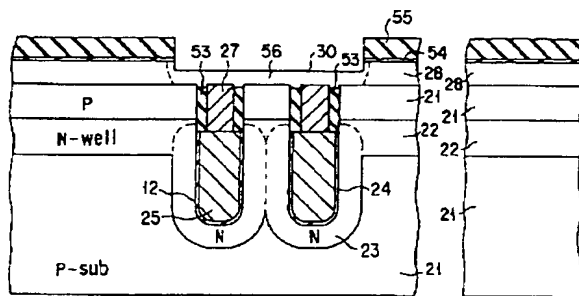
【図 4】



【図 5】



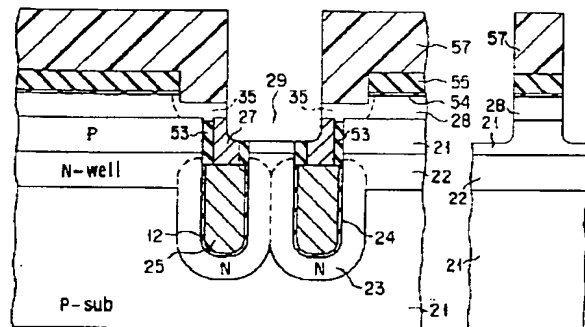
【図 6】



(a)

(b)

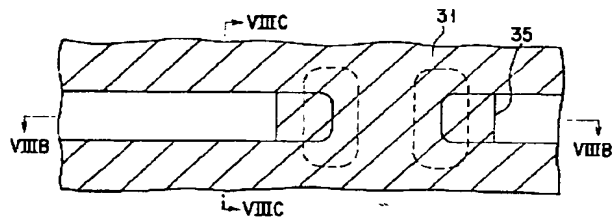
【図 7】



(a)

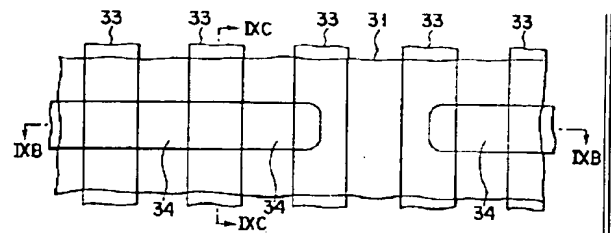
(b)

【図 8】

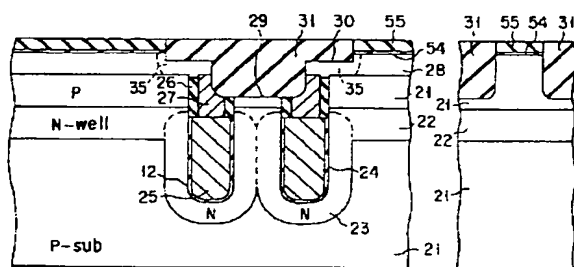


(a)

【図 9】

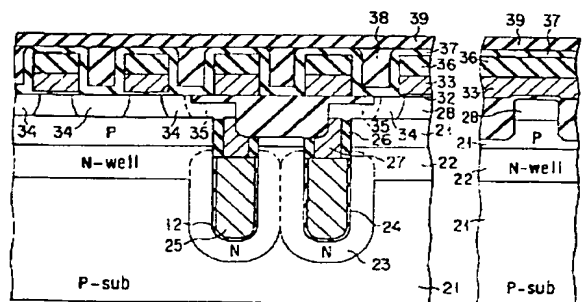


(a)



(b)

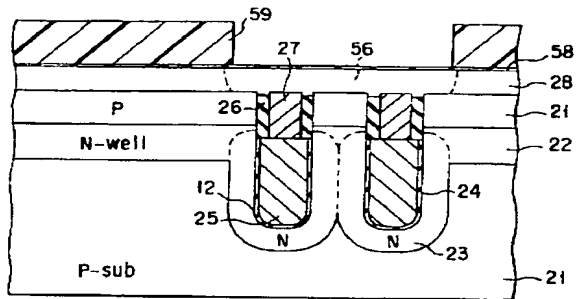
(c)



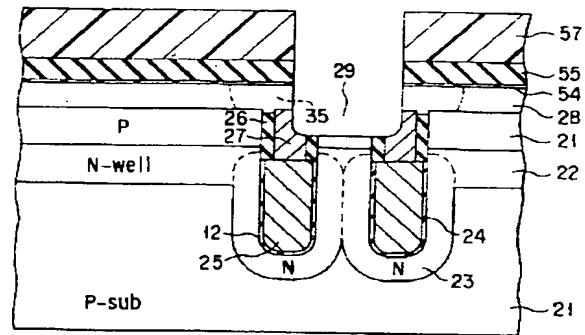
(b)

(c)

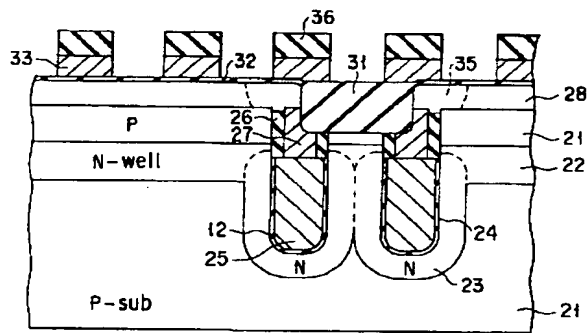
【図 10】



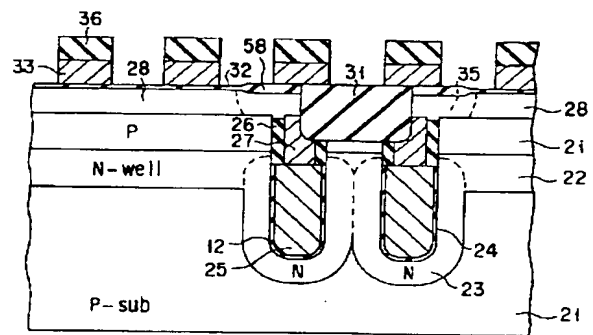
【図 11】



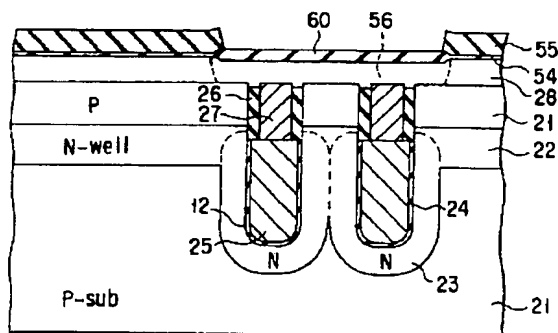
【図 12】



【図 13】



【図 14】



【図 15】

